

Ascent Lint™



RTL Lint Analyzer and Rule Checker

Ascent Lintは、ハイエンドFPGA/SoCをフルチップで解析するために開発された、最先端Lintツールです。フルチップ解析に不可欠な、疑似エラーが少なく見やすい検証レポート、ハイパフォーマンス、大規模処理容量を実現しています。

Ascent LintのLintルールは、検証項目が重複しないよう良く吟味されており、エラーが優先度に従って効率良くレポートされるため、疑似エラーが少なくデバッグ効率の良いレポートを生成することができます。

Real Intent社独自のAscension™ アーキテクチャにより、Ascent Lintは、300M+ゲートのデザインであっても数分で検証を行うことができます。(面倒な階層分割検証手法はもはや必要ありません。) Ascent Lintのユーザー様からは、「検証精度を損なうこと無く、一般的なLintツールに比べて50倍も高速だった!」という嬉しいご報告もいただいております。

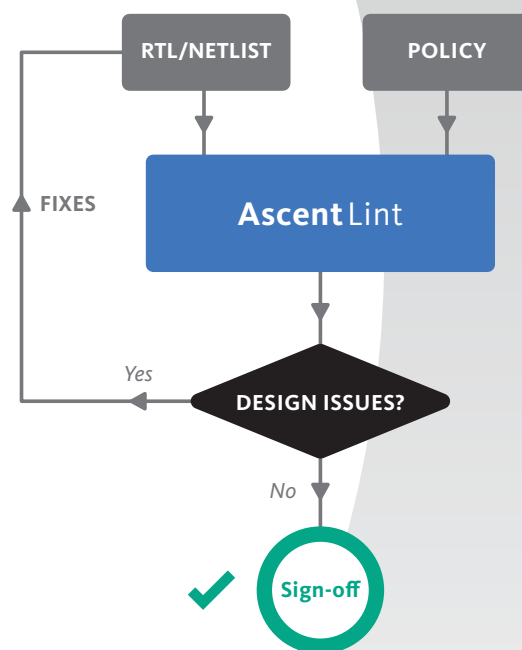
Ascent Lintのデバッガは、問題のRTL記述を高速にピンポイントで表示できる優れたクロスプロービング機能を持っています。パワフルなGUIはデバッグだけでなく、ルールの選択やカスタマイズ、エラーのWavingなども簡単に行うことができます。

Ascent Lintのインクリメンタル解析機能は、デザイン変更箇所のみを検証しレポートすることができるので、テープアウト間近のLint検証、デバッグを効率良く行うことができます。

Ascent Lintは、Verilog、System Verilog、VHDL、ゲートレベルネットリストをサポートしています。

Ascent Lintルールは、設計フローの各フェーズ(シンセシス、シミュレーション、テスト設計、RTL/ゲートレベルネットリストのサインオフ)、それぞれの設計要求を確実に検証することができます。

デザインを再利用するためのルールとして、Reuse Methodology Manual (RMM) をサポートしています。



Smart Rules for Verilog, VHDL, System Verilog, and Netlist detect

- ステートマシンのリーチャビリティやコーディングの問題を検出
- 言語の文法としては問題無いものの、問題を起こす可能性のある記述を検出
- シミュレーションとシンセシスの解釈の違いを引き越す記述を検出
- コーディングと命名作法について検証
- 問題や重複のある記述を検出
- シミュレーションのパフォーマンスを向上できる可能性がある記述を検出
- RTL設計者が気づきにくい、インプリメンテーションで問題が発生する可能性のある記述を検出
- 設計フローで問題が発生する可能性のある記述を検出
- クロック、リセット、トライステート信号のネットワークと接続性の検証
- モジュール分割ルールの検証
- テスト性の検証

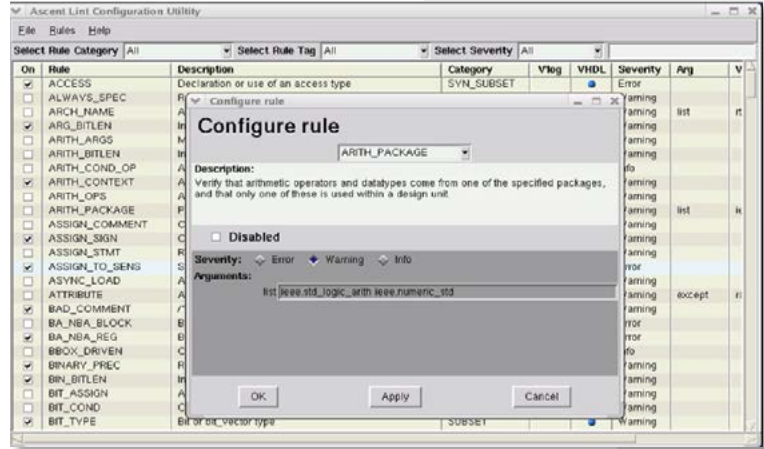


Figure 1. Easy rule configuration makes design checks efficient and customizable.

Real Intent の早期RTL検証製品

Ascent Lint

リント検証

Ascent IIV

自動フォーマル機能検証

Ascent XV

X伝搬検証

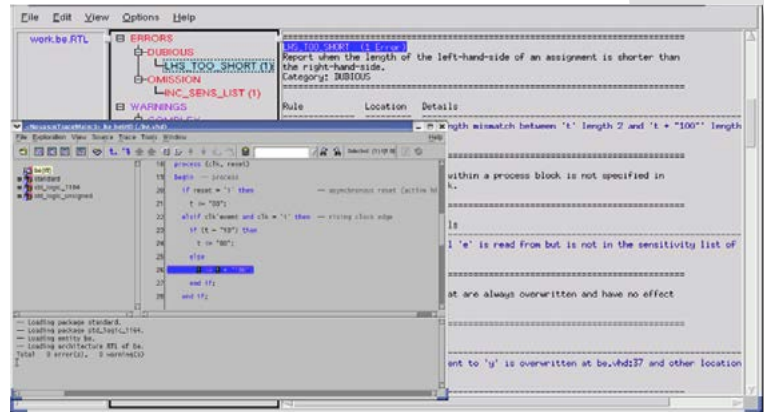


Figure 2. Debugging is fast and easy with cross probing to RTL design source to pinpoint design issues.



日本リアルintent株式会社
〒231-0021 神奈川県横浜市中区日本大通7番地
日本大通7ビル4F YBP内
メール: sales_jp@realintent.com
電話: 045-550-3054

realintent.com/JP